

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-129360
 (43)Date of publication of application : 21.05.1996

(51)Int.Cl. G09G 3/30
 H05B 33/08

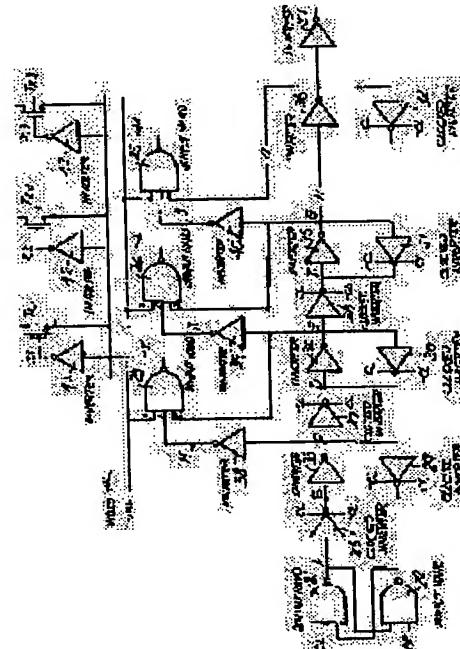
(21)Application number : 06-267244 (71)Applicant : TDK CORP
 SEMICONDUCTOR ENERGY LAB
 CO LTD
 (22)Date of filing : 31.10.1994 (72)Inventor : TAKAYAMA ICHIRO
 ARAI MICHIO

(54) ELECTROLUMINESCENCE DISPLAY DEVICE

(57)Abstract:

PURPOSE: To improve picture quality by providing a masking means removing the overlap time of selecting signals for successively driving transistors as selection switches.

CONSTITUTION: Inverters 38-43 and three input NAND circuits 23-25 are logic circuits for outputting X-axis selection signals x1-x3 in a selection signal generating circuit as an X-axis shift register. A masking signal -INL from a masking signal generating circuit is connected to one input of the three input NAND circuits 23-25 and an image data signal -VL is connected to transistors Tx1-Tx3 as an X-axis selection switch. The selection signal x1 is the inverted output of the three input NAND circuit 23 to which an inverted output from the inverter 33 of the shift register, an output from an inverter 34 and the masking signal -INL are inputted and the selection signals x2, x3 are similarly the inverted outputs of the three input NAND circuits 24, 25. The masking period of the masking signal -INL is longer than the overlapping period ΔT of the selection signals X1, X2.



LEGAL STATUS

[Date of request for examination] 12.09.2001

[Date of sending the examiner's decision of rejection] 19.08.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-129360

(43)公開日 平成8年(1996)5月21日

(51)Int.Cl.

G 0 9 G 3/30

H 0 5 B 33/08

識別記号

庁内整理番号

J 4237-5H

F 1

技術表示箇所

(21)出願番号

特願平6-267244

(22)出願日

平成6年(1994)10月31日

(71)出願人 000003067

ティーディーケイ株式会社

東京都中央区日本橋1丁目13番1号

(71)出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72)発明者 高山 一郎

神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

(72)発明者 荒井 三千男

東京都中央区日本橋一丁目13番1号 ティーディーケイ株式会社内

(74)代理人 弁理士 平岡 審一 (外2名)

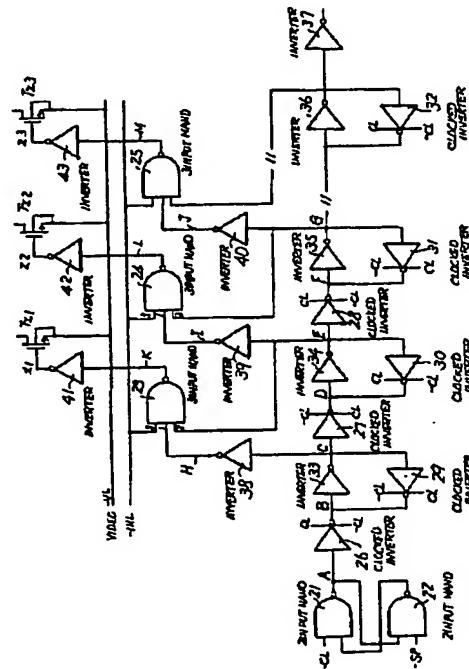
(54)【発明の名称】 エレクトロルミネンス表示装置

(57)【要約】

【目的】 選択信号と次の選択信号との間に、信号のオーバラップ時間をなくすことにより、画質を向上することを目的とする。

【構成】 複数のエレクトロルミネンス素子を選択する複数の選択スイッチTx1～Tx3と、選択スイッチTx1～Tx3を順次駆動する選択信号x1～x3を出力する選択信号発生回路と、選択信号x1～x3をマスクするマスク信号-INL発生回路とを備え、選択信号間のオーバラップ時間をなくすようにした。

本発明の実施例説明図



【特許請求の範囲】

【請求項1】 複数のエレクトロルミネセンス素子を選択する複数の選択スイッチと、
該選択スイッチを順次駆動する選択信号を出力する選択
信号発生回路と、
選択信号の出力をマスクするマスク信号発生回路とを備え、
選択信号と次の選択信号との間のオーバラップ時間をな
くすことを特徴としたエレクトロルミネセンス表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、薄膜トランジスタ（以下、TFTという）を用いてエレクトロルミネセンス（以下、ELという）素子を駆動するEL表示装置に関する。

【0002】

【従来の技術】 図4～図6は従来例を示した図である。以下、図面に基づいて従来例を説明する。

【0003】 図4(a)は、パネルブロック図であり、ディスプレイ（表示）パネル10には、ディスプレイ画面11、X軸のシフトレジスタ12、Y軸のシフトレジスタ13が設けてある。

【0004】 ディスプレイ画面11には、EL電源が供給されており、またX軸のシフトレジスタ12には、シフトレジスタ電源の供給とX軸同期信号の入力が行われる。さらにY軸のシフトレジスタ13には、シフトレジスタ電源の供給とY軸同期信号の入力が行われる。また、X軸のシフトレジスタ12の出力部に画像データ信号の出力が設けてある。

【0005】 図4(b)は、図4(a)のA部の拡大説明図であり、ディスプレイ画面11の1画素（点線の四角で示す）は、トランジスタが2個、コンデンサが1個、EL素子が1個より構成されている。

【0006】 この1画素の発光動作は、例えば、Y軸のシフトレジスタ13で選択信号y1の出力があり、またX軸のシフトレジスタ12で選択信号x1の出力があった場合、トランジスタTy11とトランジスタTx1がオンとなる。

【0007】 このため、画像データ信号-VLは、ドライブトランジスタM11のゲートに入力される。これにより、このゲート電圧に応じた電流がEL電源からドライブトランジスタM11のドレイン、ソース間に流れ、EL素子EL11が発光する。

【0008】 次のタイミングでは、X軸のシフトレジスタ12は、選択信号x1の出力をオフとし、選択信号x2を出力することになるが、ドライブトランジスタM11のゲート電圧は、コンデンサc11で保持されるため、次にこの画素が選択されるまでEL素子EL11の前記発光は、持続することになる。

【0009】 図5は、従来例のX軸シフトレジスタの説明図である。図5において、 NAND回路21と22は波形整形回路であり、逆位相のクロック-CCLと低レベル（「L」）のスタートパルス（X軸同期信号）-SPが入力される。また、クロックドインバータ26～32とインバータ33～37はシフトレジスタである。さらに、インバータ38～43とNAND回路44～46は、選択信号x1～x3を出力する論理回路である。

【0010】 クロック-CCLと逆位相クロック-CCLは、一方が高レベル（「H」）の時他方が低レベル（「L」）になる。クロックドインバータは、クロックCCL入力が「L」で逆位相クロック-CCL入力が「H」のときアクティブ状態となり、インバータとして動作し、また逆に、クロックCCL入力が「H」で逆位相クロック-CCL入力が「L」のときハイインピーダンス状態となるものである。

【0011】 例えば、クロックドインバータ26とクロックドインバータ29とは、クロックCCL入力と逆位相クロック入力-CCLとが逆に接続されている。このため、クロックドインバータ26がアクティブ状態の時、クロックドインバータ29はハイインピーダンス状態となる。

【0012】 図6は、従来例の波形説明図であり、以下、図5のX軸のシフトレジスタの動作を図6の各点の波形に基づいて説明する。

（1） 波形整形回路の出力であるA点の電位は、スタートパルス-SP（「L」）がない時「H」である。この時、「L」のスタートパルス-SPが入力されると、A点は「L」となる（図6、A参照）。

【0013】 （2） B点は、A点が「L」になる時、クロックドインバータ26はアクティブ状態となるので、「H」となり、次にクロックドインバータ26がハイインピーダンス状態となる時、クロックドインバータ29がアクティブ状態となるので、前記B点の「H」がクロックドインバータ29のアクティブ期間だけ保持される（図6、B参照）。

【0014】 （3） C点は、インバータ33によりB点と逆位相の波形となる（図6、C参照）。

（4） D点は、クロックドインバータ29と同時にアクティブ状態となるクロックドインバータ27と、インバータ34とクロックドインバータ30による保持回路によりB点より半クロックサイクル遅れた波形となる。

【0015】 （5） E点は、インバータ34によりD点と逆位相の波形となり、C点の波形より半クロックサイクル遅れた波形となる（図6、E参照）。

（6） F点は、クロックドインバータ30と同時にアクティブ状態となるクロックドインバータ28と、インバータ35とクロックドインバータ31による保持回路によりD点より半クロックサイクル遅れた波形となる。

【0016】 （7） G点は、インバータ35によりF点

と逆位相の波形となり、E点の波形より半クロックサイクル遅れた波形となる(図6、G参照)。

(8) II点は、インバータ38によりC点の反転信号となる(図6、H参照)。I点は、インバータ39によりJ点の反転信号となる(図6、I参照)。また、J点は、インバータ40によりG点の反転信号となる(図6、J参照)。

【0017】(9)K点は、 NAND回路44の出力であり、 NAND回路41の2つの入力にはH点とE点の信号が入力される。L点は、 NAND回路45の出力であり、 NAND回路45の2つの入力にはI点とG点の信号が入力される。また、M点は、 NAND回路46の出力であり、 NAND回路46の2つの入力にはJ点とインバータ(図示せず)からの信号が入力される。

【0018】(10)選択信号x1は、インバータ41によりK点の反転信号となり(図6、x1参照)、この選択信号x1は、Nチャネルの電界効果トランジスタTx1のゲートに入力される。このため、選択信号x1が「H」となるとトランジスタTx1がオンとなり、そのドレイン、ソース間が導通する。

【0019】(11)選択信号x2は、インバータ42によりL点の反転信号となり(図6、x2参照)、この選択信号x2は、Nチャネルの電界効果トランジスタTx2のゲートに入力される。このため、選択信号x2が「H」となるとトランジスタTx2がオンとなる。

【0020】(12)選択信号x3は、インバータ43によりM点の反転信号となり(図6、x3参照)、この選択信号x3は、Nチャネルの電界効果トランジスタTx3のゲートに入力される。このため、選択信号x3が「H」となるとトランジスタTx3がオンとなる。

【0021】このようにして、選択信号x1、x2、x3、...と順に、半クロックサイクルシフトとした信号が得られる。この選択信号x1～x3の実線の波形は、理想波形であり、現実に選択スイッチであるトランジスタTx1～Tx3のゲートに印加される波形は、回路の容量や抵抗のため点線のように、波形の立上がりと立下がりに時間△Tが必要となる。

【0022】

【発明が解決しようとする課題】上記のような従来のものにおいては、次のような課題があった。選択信号x1～x3の現実の波形(図6の点線)は、立上がりと立下がりに、その回路によって決まる時間△Tが必要となる。このため、この時間△Tの期間では、例えば選択信号x1と次の選択信号x2の出力がオーバラップする。これにより、この期間で、選択スイッチであるトランジスタTx1とトランジスタTx2が同時にオンとなり、コンデンサc11の画像データ信号-Vしが隣りの画素のコンデンサc21に入り込むことになる。このため、EL表示装置の画質が悪くなることがあった。

【0023】本発明は、選択信号と次の選択信号との間

にマスク期間を設け、選択信号間のオーバラップをなくすことにより、EL表示装置の画質を向上することを目的とする。

【0024】

【課題を解決するための手段】本発明は、上記の課題を解決するため次のように構成した。図1は、本発明の1実施例説明図であり、X軸シフトレジスタである選択信号発生回路構成を示す。図1において、NAND回路21と22は、波形整形回路であり、逆位相のクロッカーCLと「L」のスタートパルス-SPが入力される。また、クロックドインバータ26～32とインバータ33～37は、シフトレジスタである。さらに、インバータ38～43と3入力NAND回路23～25は、X軸の選択信号x1～x3を出力する論理回路である。マスク信号発生回路からのマスク信号-INLは、3入力NAND回路23～25の1つの入力に接続され、画像データ信号-VLは、X軸の選択スイッチであるトランジスタTx1～Tx3に接続されている。

【0025】

【作用】上記構成に基づく作用を説明する。X軸の選択信号x1は、シフトレジスタのインバータ33からの出力をインバータ38で反転した出力と、シフトレジスタのインバータ34の出力と、マスク信号-INLとを3入力NAND回路23に入力し、この3入力NAND回路23の出力をインバータ41で反転したものである。

【0026】選択信号x2は、インバータ34からの出力をインバータ39で反転した出力と、インバータ35の出力と、マスク信号-INLとを3入力NAND回路24に入力し、この3入力NAND回路24の出力をインバータ42で反転したものである。

【0027】同様に選択信号x3は、3入力NAND回路25からの出力をインバータ43で反転したものである。このマスク信号-INLのマスク期間は、従来例(図6参照)の選択信号x1と次の選択信号x2のオーバラップ期間△T以上とする。

【0028】このように、選択信号と次の選択信号が同時に出力されるオーバラップをなくすことによりEL表示装置の画質を向上することができる。

【0029】

【実施例】以下、本発明の実施例を図面に基づいて説明する。図1～図3は、本発明の実施例を示した図であり、図4～図6と同じものは同じ符号で示してある。

【0030】図1は本発明の1実施例説明図であり、X軸のシフトレジスタの回路構成を示す。図1において、NAND回路21と22は、波形整形回路であり、逆位相のクロッckerCLと「L」のスタートパルス-SPが入力される。また、クロックドインバータ26～32とインバータ33～37は、シフトレジスタである。これらの波形整形回路とシフトレジスタは、図5の従来例と同じものである。

【0031】インバータ38～43と3入力 NAND 回路23～25は、X軸の選択信号 $x_1 \sim x_3$ を出力する論理回路である。3入力 NAND 回路23の第1入力にはインバータ38によりC点の反転信号であるH点の信号が入力され、第2入力にはE点の信号が入力され、第3入力には、マスク信号-INLが入力される。この3入力 NAND 回路23の出力であるK点の信号をインバータ41で反転したものが選択信号 x_1 となる。

【0032】3入力 NAND 回路24の第1入力にはインバータ39によりE点の反転信号であるI点の信号が入力され、第2入力にはG点の信号が入力され、第3入力にはマスク信号-INLが入力される。この3入力 NAND 回路24の出力であるL点の信号をインバータ42で反転したものが選択信号 x_2 となる。

【0033】3入力 NAND 回路25の第1入力にはインバータ40によりG点の反転信号であるJ点の信号が入力され、第2入力にはシフトレジスタのインバータ（図示せず）からの信号が入力され、第3入力にはマスク信号-INLが入力される。この3入力 NAND 回路25の出力であるM点の信号をインバータ42で反転したものが選択信号 x_3 となる。

【0034】このようにして、X軸のシフトパルスである選択信号 $x_1, x_2, x_3 \dots$ を得ることができる。図2は実施例における波形説明図であり、3入力 NAND 回路23の第1入力に入力されるH点の波形は、シフトレジスタのC点の反転波形であり、1クロックサイクル分「H」となる。3入力 NAND 回路23の第2入力に入力されるE点の波形は、C点の波形より半クロックサイクル遅れた波形である。また、3入力 NAND 回路23の第3入力にはマスク信号-INLが入力される。このマスク信号のマスク期間MKは、選択信号 x_1 と次の選択信号 x_2 の立下がりと立上がりがオーバラップしない程度の期間とする。

【0035】この3入力 NAND 回路23の出力であるK点の波形は、クロック波形CLよりマスク期間MKだけ「L」の期間が少なくなる。このK点の反転信号が選択信号 x_1 となる。

【0036】以下、同様に選択信号 x_2, x_3 もマスク信号-INLのマスク期間MKだけ幅の短いパルスとなる。このように、選択信号と選択信号との間に「H」のパルスのないマスク期間を設け、選択スイッチであるトランジスタTx1と次のトランジスタTx2が同時にオンとなることを防止することができる。

【0037】図3はマスク信号の説明図であり、図3(a)はマスク信号発生回路の説明図である。図3(a)において、発生器（図示せず）より発生した8倍クロックを8分周回路1と、順次回路2に入力する。

【0038】8分周回路1は、入力クロック（8倍クロック）の4クロックパルスを計数して「H」、次の4クロックパルスを計数して「L」、…と4パルス毎に出力を「H」、「L」とするものである。これにより8倍のパルス幅である標準のクロックCLが得られる。

【0039】順次回路2は、入力クロックを3クロックサイクル計数として、1クロックサイクル分「L」とする繰り返し波形を出力するものである。これにより、マスク信号-INLが得られる。

【0040】図3(b)は、波形説明図であり、上記8倍クロックと、8分周出力であるクロックCLと、マスク信号-INLの波形を示す。この場合マスク信号-INLのマスク期間MKは、半クロックサイクルの25%となる。このマスク期間は、これに限らず選択信号のオーバラップ期間 ΔT 等により適宜変更することができる。

【0041】

【発明の効果】以上のように本発明によれば、選択スイッチであるトランジスタTx1～Tx3を順次駆動する選択信号のオーバラップ時間なくマスク手段を設けたため、ある画素の画像データ信号が他の画素の画像データ信号に入り込むことがなく、EL表示装置の画質の向上を図ることができる。

【図面の簡単な説明】

【図1】本発明の1実施例説明図である。

【図2】実施例における波形説明図である。

【図3】実施例におけるマスク信号の説明図である。

【図4】従来例の説明図である。

【図5】従来例のX軸シフトレジスタの説明図である。

【図6】従来例の波形説明図である。

【符号の説明】

21～22 ナンド回路

23～25 3入力 NAND 回路

26～32 クロックドインバータ

33～43 インバータ

40 Tx1～Tx3 トランジスタ（選択スイッチ）

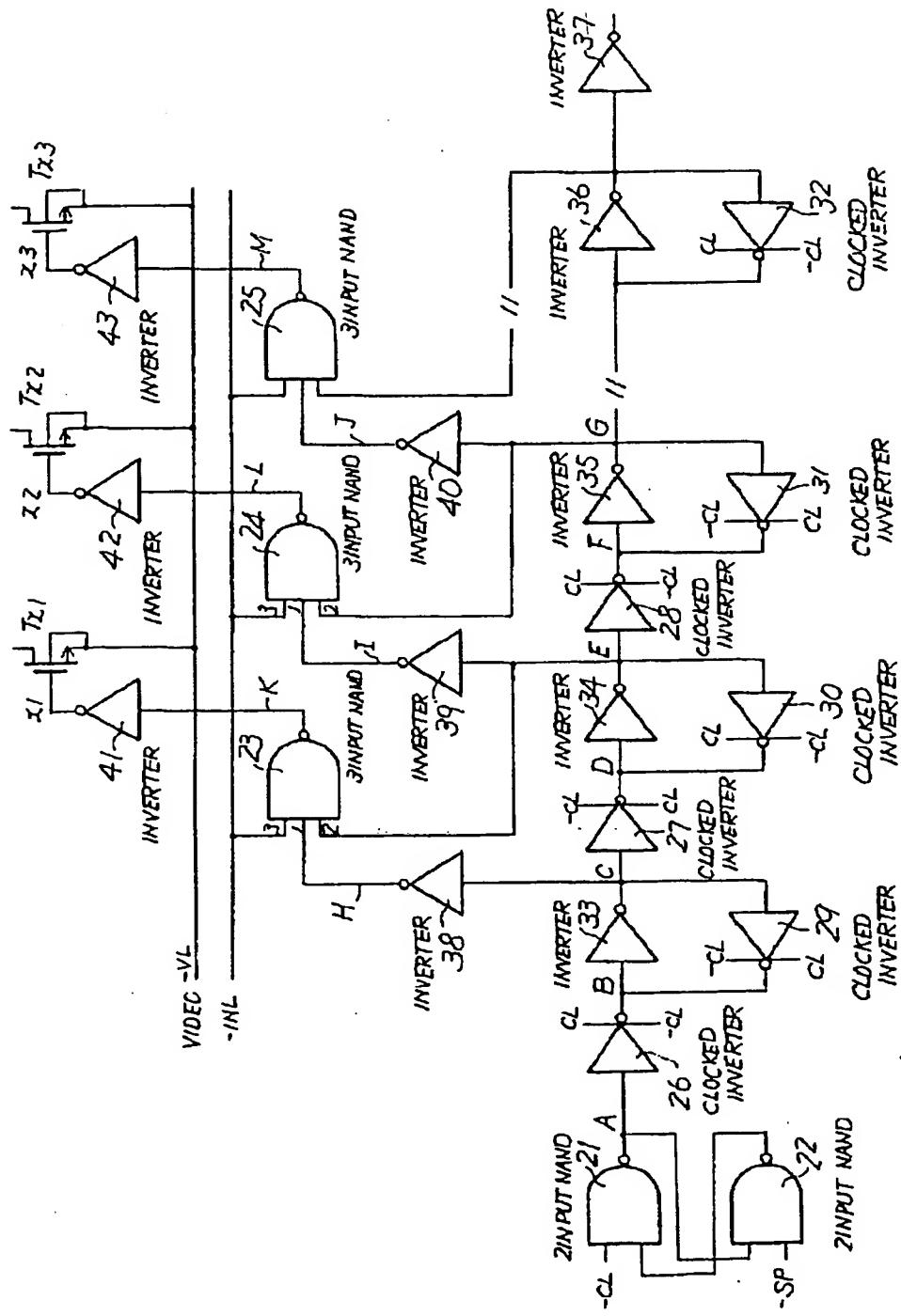
$x_1 \sim x_3$ 選択信号

-INL マスク信号

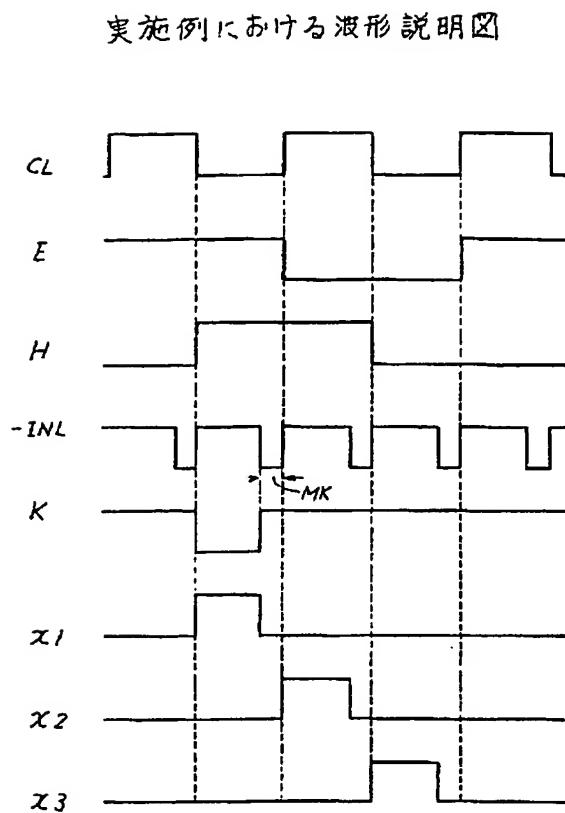
-VL 画像データ信号

[图1]

本発明の1実施例説明図

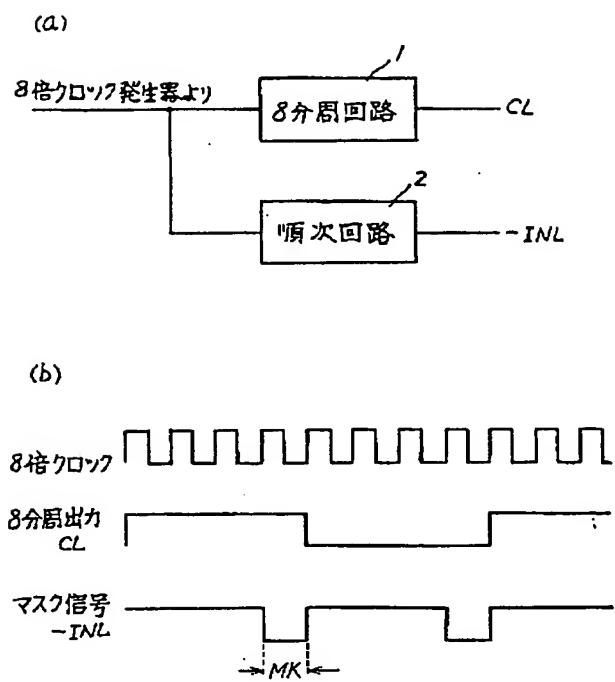


【図2】



【図3】

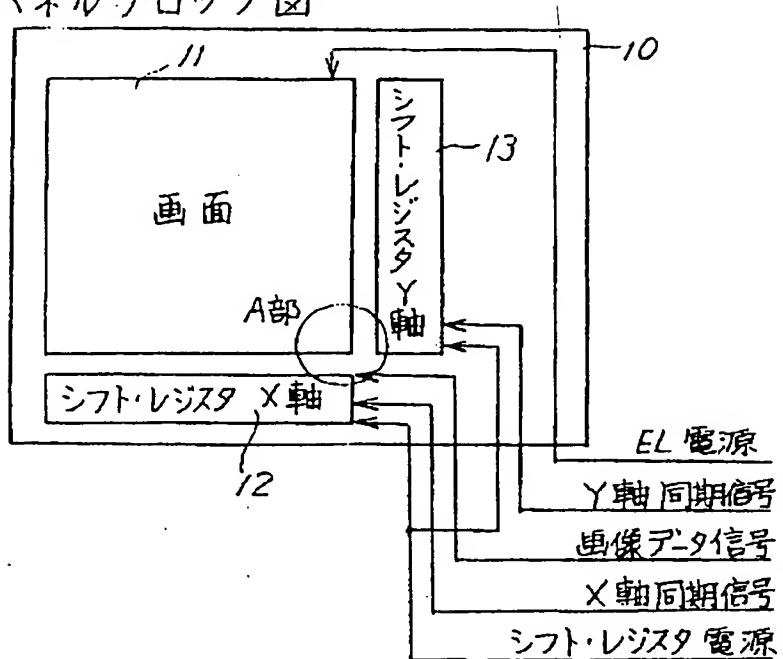
マスク信号の説明図



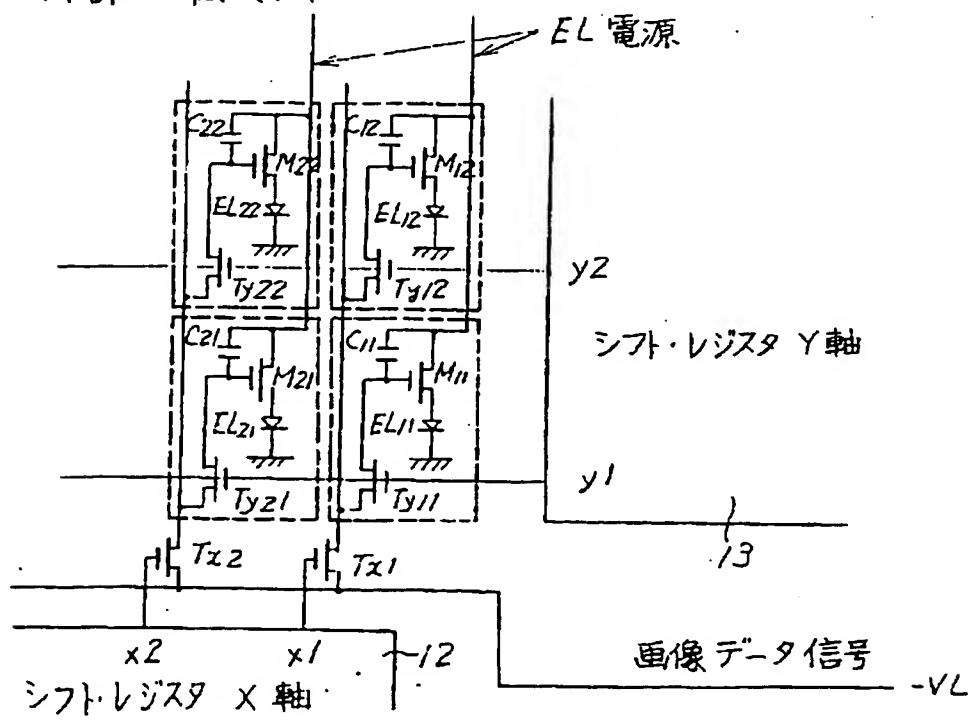
【図4】

従来例の説明図

(a) パネルブロック図

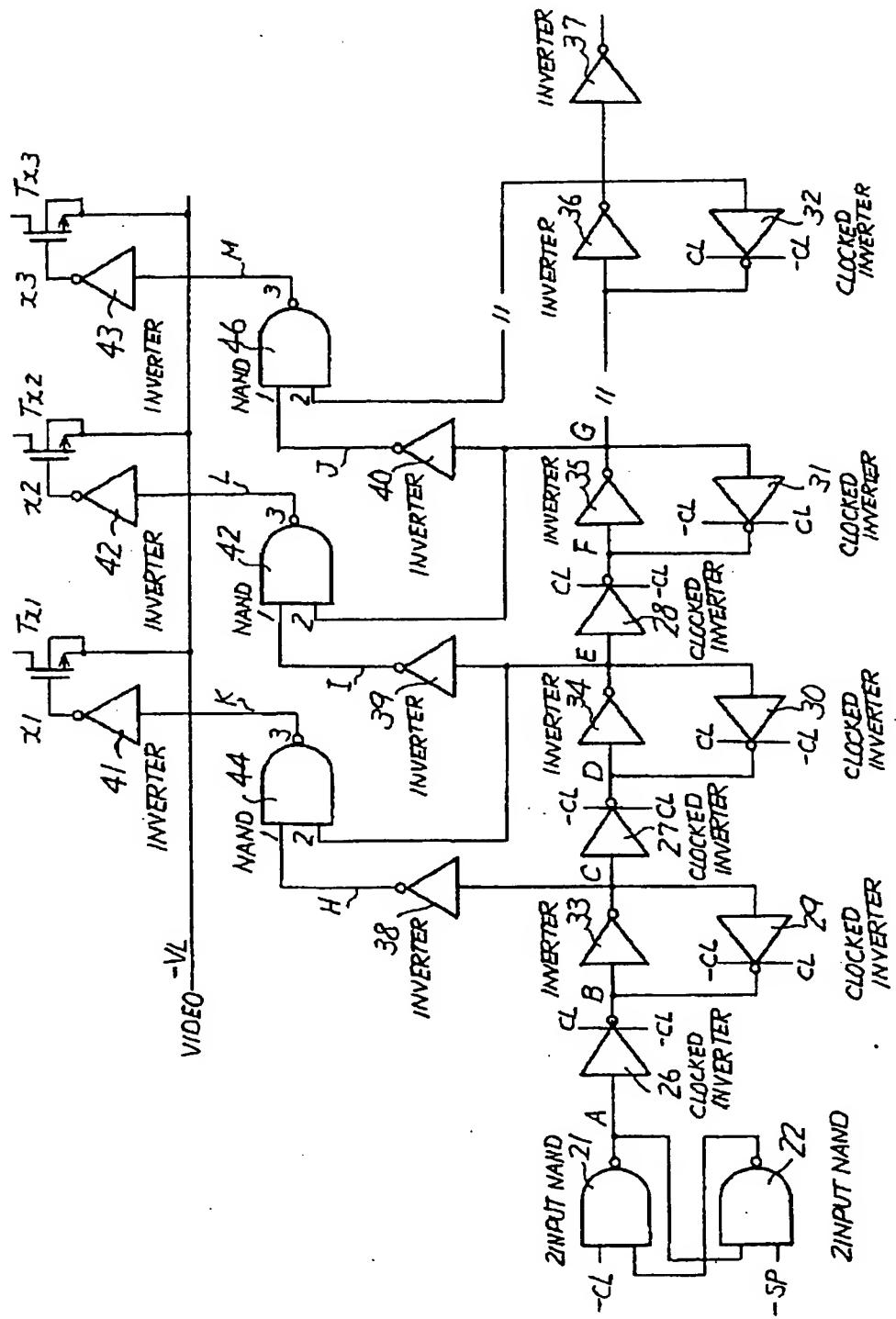


(b) A部の拡大図



【図5】

従来例のX軸シフトレジスタの説明図



【図6】

従来例の波形説明図

